

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-041969
 (43)Date of publication of application : 12.02.1999

(51)Int.Cl.

H02P 6/08
 H02M 7/5387
 H02P 7/63

(21)Application number : 09-226962

(71)Applicant : IZUMI GIKEN:KK

(22)Date of filing : 19.07.1997

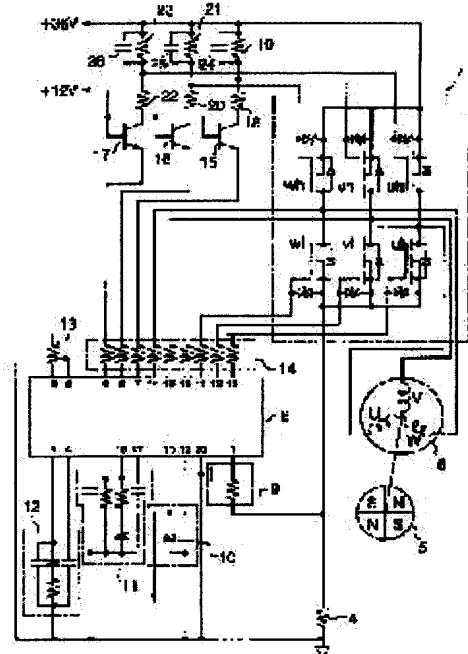
(72)Inventor : SATO TOSHIKAZU
WAKAO TOSHIO

(54) DRIVE CIRCUIT FOR INVERTER FOR MOTOR DRIVE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase a speed of ON/OFF operation by a power switching element and stabilize the operation during OFF, by providing a parallel circuit comprising a capacitor and a resistor for connecting an output of a switching element to a high potential end of a DC power for the power switching element.

SOLUTION: Each collector of transistors 15 to 17 is connected to a high potential end of +36 V similar to the source of FET at high side through resistors 18 and 19, resistors 20 and 21, and resistors 22 and 23 connected in series. Capacitors 24, 25 and 26, are connected in parallel to resistors 19, 21 and 23, and its capacitance is 0.01 μm for 5.6 k Ω resistors 19, 21, and 23. Each base of transistors 15 to 17 is connected to +12 V DC power, and its potential is always kept to +12 V. Each gate of FET at high side is connected respectively to the connecting point between resistors 18 and 19, between resistors 20 and 21, and between resistors 22 and 23 corresponding to each phase.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-41969

(43)公開日 平成11年(1999)2月12日

(51)Int.Cl.*

H 02 P 6/08

H 02 M 7/5387

H 02 P 7/63

識別記号

3 0 3

F I

H 02 P 6/02

H 02 M 7/5387

H 02 P 7/63

3 7 1 Z

Z

3 0 3 V

審査請求 未請求 請求項の数2 書面 (全6頁)

(21)出願番号 特願平9-226962

(22)出願日 平成9年(1997)7月19日

(71)出願人 591193691

株式会社イズミ技研

埼玉県大里郡妻沼町大字弥藤吾456番地5

(72)発明者 佐藤 優和

埼玉県大里郡妻沼町大字弥藤吾456番地5

株式会社イズミ技研内

(72)発明者 若生 登士男

埼玉県大里郡妻沼町大字弥藤吾456番地5

株式会社イズミ技研内

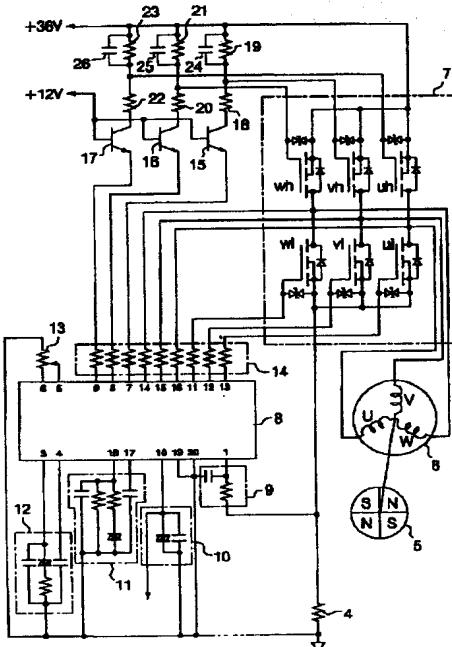
(74)代理人 弁理士 丸山 聰

(54)【発明の名称】モータ駆動用インバータのドライブ回路

(57)【要約】

【課題】 インバータを構成するパワースイッチング素子のON/OFF動作の高速化とOFF時の動作の安定化を図る。

【解決手段】 インバータを構成する複数のパワースイッチング素子を動作させる信号を、モータの回転子の回転位置に基づいて生成する信号生成部と、この信号生成部で生成された信号に応答して動作し、かつ複数のパワースイッチング素子のうち、直流電力の高電位端に接続したパワースイッチング素子に、これらを直接動作させる出力を供給するスイッチング素子と、このスイッチング素子の出力を、直流電力の高電位端に接続する抵抗とコンデンサとからなる並列回路とを設ける。



【特許請求の範囲】

【請求項1】複数のパワースイッチング素子をブリッジ状に接続してインバータを構成し、これらのパワースイッチング素子のON/OFF動作で、直流電力を断続的にモータの固定子巻線へ供給するモータ駆動用インバータのドライブ回路において、

上記複数のパワースイッチング素子を動作させる信号を、モータの回転子の回転位置に基づいて生成する信号生成部と、

この信号生成部で生成された信号に応答して動作し、かつ上記複数のパワースイッチング素子のうち、直流電力の高電位端に接続したパワースイッチング素子に、これらを直接動作させる出力を供給するスイッチング素子と、

このスイッチング素子の出力を、直流電力の高電位端に接続する抵抗とコンデンサとからなる並列回路とを備えたことを特徴とするモータ駆動用インバータのドライブ回路。

【請求項2】上記信号生成部は、直流電力の高電位端の電位より低い電位で動作する請求項1記載のモータ駆動用インバータのドライブ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、モータの回転をインバータ制御するモータ駆動用インバータのドライブ回路に関するものである。

【0002】

【従来の技術】モータ駆動用インバータのドライブ回路として、特開平6-225583号公報に記載されているようなものが知られている。この公報には、図3に示すように、インバータのパワースイッチング素子として用いるFET1のドライブ回路が示され、FET1は、ソースの電位レベルに対してHIGHレベルの電圧信号をゲートに印加することにより通電状態になり、FET1のスイッチング素子としてトカゲラ2を用い、マイコン等による信号生成部から出力される低出力のON/OFF信号を、FET1をドライブ可能なレベルまで電力増幅するものである。3組の固定子巻線を備えるモータを駆動するインバータは、通常こうしたFETをハイサイド側3個、ロウサイド側3個を3相ブリッジ状に結線して構成され、FETのスイッチング動作で直流電力を断続的に固定子巻線へ供給してモータを駆動する。なお、3相以上の多相においてもFETを多相ブリッジ状に接続すればよく、FETに代わり、バイポーラ型のパワートランジスタを用いてインバータを構成することも一般に行われている。

【0003】

【発明が解決しようとする課題】こうしたモータ駆動用インバータでは、同相を構成する直列に接続したFETの同時ONによる短絡を防止するため、信号生成部の出

力信号は、同相のFETに必ず相反するON/OFF信号を出力する必要がある。この信号は、互いにON/OFFが反転した信号でなければならないが、同時に回路構成の簡略化を図るため、同相のFETへの信号を同じON/OFF信号を用いて生成したものも多数の例がある。

【0004】しかし、このようにFETへのON/OFFの信号を同じON/OFF信号から生成した場合、インバータのハイサイド側又はロウサイド側の信号のON/OFFを、ドライブ回路で反転させないと同相のFETの短絡が起こる。一般に、ロウサイド側のFETのON/OFFを基準に設計するため、ハイサイド側にON/OFFの反転を兼ねたドライブ回路を設ける必要があった。

【0005】本出願人は、こうした回路構成の簡略化を目的とした研究開発の段階で、図4に示すモータ駆動用インバータのドライブ回路を開発した。これは、U、V、Wの3相からなる固定子巻線U、V、Wへ供給される電流を、ドレン-ソース間のON/OFFで直接ON/OFFさせるハイサイド側のMOS型FETと、エミッタに印加される信号生成部からのON/OFF信号(LOW/HIGHの電圧)でON/OFFし、抵抗R1、R2を直列に介してハイサイド側FETのソースの電位(+36V)と同電位にコレクタを接続し、ベースを+12Vの電位に接続したトランジスタTrと、ハイサイド側FETのゲートを抵抗R1と抵抗R2との接続点に接続する結線とを備えたドライブ回路と、同じく固定子巻線U、V、Wへ供給される電流を、ドレン-ソース間のON/OFFで直接ON/OFFさせるロウサイド側のMOS型FETとからなる1相分の回路を、3相分用いて構成したものである。

【0006】このドライブ回路を用い、図5に示すようなモード1からモード6までが順に繰り返されるON/OFF信号(ハイサイド側はLOW電圧でFETがONし、ロウサイド側はHIGH電圧でFETがONする。電圧に置き換えるとハイサイド側及びロウサイド側には、同じHIGH/LOWの電圧信号が出力される。)で、インバータを構成する6個のFET(U、V、Wの各相に対応して、ハイサイド側をFETuh、FETvh、FETwh、ロウサイド側をFETul、FETvl、FETwl)を駆動した。なお、ロウサイド側FETのON信号が出力される期間を、HIGH電圧(ON信号)を出力するTonの期間と、LOW電圧(OFF信号)を出力するToffの期間とからなる周期Tでショッピングし、このTon/Toffのデューティ比を変えてモータの回転速度を変えるように構成している。また、抵抗R1、R2の値は、FETのRds(ON)抵抗を小さくするために、FETのVgssの最大定格電圧にVgsが近づくように選定した。

【0007】この試験において、モータの回転速度を変

えるためにデューティ比を変えたところ、ハイサイド側FETのドレインーソース間に設けたフライホイールダイオード3の追従性が遅く、トランジスタTrの異常加熱やモータからの異音が発生した。また、ハイサイド側FETにOFF信号を与えているにもかかわらず、これらがON状態になる異常現象が起こるなどの問題が生じた。

【0008】この発明は、これらの問題を解消することを目的とするもので、フライホイールダイオード3のスイッチング特性に影響されることなく、パワースイッチング素子のON/OFF動作の高速化とOFF時の動作の安定化を図ることを目的とするものである。

【0009】

【課題を解決するための手段】この発明はかかる課題を解決するため、複数のパワースイッチング素子をブリッジ状に接続してインバータを構成し、これらのパワースイッチング素子のON/OFF動作で、直流電力を断続的にモータの固定子巻線へ供給するモータ駆動用インバータのドライブ回路において、上記複数のパワースイッチング素子を動作させる信号を、モータの回転子の回転位置に基づいて生成する信号生成部と、この信号生成部で生成された信号に応答して動作し、かつ上記複数のパワースイッチング素子のうち、直流電力の高電位端に接続したパワースイッチング素子に、これらを直接動作させる出力を供給するスイッチング素子と、このスイッチング素子の出力を、直流電力の高電位端に接続する抵抗とコンデンサとからなる並列回路とを備えたことを特徴とするものである。

【0010】また、上記信号生成部を、直流電力の高電位端の電位より低い電位で動作するように構成し、低出力型のスイッチング素子の利用を図るものである。以下に、この発明の構成を図面を用いて詳細に説明する。

【0011】

【発明の実施の形態】図1は、この発明の具体的な実施の形態を示す電気回路図であり、4極の回転子5と3相の固定子巻線U、V、Wからなる直流ブラシレスモータ6に適用したものである。したがって、回転子の極数は2の倍数で任意に選択可能であり、固定子巻線U、V、Wを巻く歯の数も3の倍数で任意に選択可能であり、3相をさらに多相化することも可能である。

【0012】7は、6個のパワースイッチング素子(MOS型FET)を3相ブリッジ状に接続したインバータであり、ハイサイド側にPチャンネルのFETwh、vh、uhを配置し、ロウサイド側にNチャンネルのFETw1、v1、u1を配置し、それぞれのFETには、ドレインーソース間にフライホイールダイオードが設けられている。ハイサイド側FETのソースは、+3.6Vの直流電力の高電位端に接続され、ロウサイド側FETのソースは、抵抗4を介して接地電位に接続されている。このような構成の等価回路を持つインバータ用半導

体としては、東芝製のMP6403を用いることができる。なお、パワースイッチング素子はFETに限るものではなく、バイポーラ型のパワートランジスタを用いることもでき、例えば、6個のパワートランジスタ(Pチャンネル3個、Nチャンネル3個)を3相ブリッジ状に結線した等価回路を持つ、東芝製のインバータ用半導体MP6401等を用いてもよい。

【0013】8は、図5に示したモード1からモード6のサイクルでON/OFF信号を生成する信号生成部であり、回転子5の回転で固定子巻線U、V、Wに生じる誘起電圧の変化から回転子5の位置を求め、この回転子位置に基づいてそれぞれの固定子巻線U、V、Wへの通電を断続的に行わせるON/OFF信号を出力し、同時にショッピング周期Tのデューティ比を変えて回転数を制御する。この信号生成部8としては、例えばMicro Linear社製の半導体(BLDC PWM Motor Controller)ML4433(又はML4425)等を用いることができる。この信号生成部8の内部構成は、図2のブロック図に示すように構成され、14~16番ピンに与えられる固定子巻線U、V、Wに生じる誘起電圧の変化を検出し、その変化に対応する信号を出力する「BACKEMF SAMPLE R」部と、この信号と5番ピンに与えられるスピード(回転数)信号に基づき、かつPWM(パルス幅変調)でショッピングして固定子巻線U、V、Wへの通電パターンを決定する「PWM SPEED CONTROL」部と、この通電パターンに基づいてインバータを構成する6個のパワースイッチング素子のON/OFFを決め、その信号を「HIGH SIDE GATE DRIVE」と「LOW SIDE GATE DRIVE」と「COMMUTATION & CONTROL LOGIC」等を備え、「HIGH SIDE GATE DRIVE」と「LOW SIDE GATE DRIVE」から7~9番ピン及び11~13番ピンを介してON/OFF信号(HIGH/LOWの電位又はLOW/HIGHの電位)を出力するものである。

【0014】9は、信号生成部8の1番ピンへ印加される電圧の検出回路で、抵抗とコンデンサで構成され、抵抗4に生じる電圧(抵抗4に流れる電流、すなわちモータ6に流れる電流に相当する電圧)が印加される。信号生成部8は、この電圧が設定値を超えないようにスイッチング素子のON/OFFの比率(デューティ比)に制限を加え、モータ6に流れる電流の電流制御を行う。10は、信号生成部8を動作させる回路であり、電解コンデンサとコンデンサで構成され、+12Vの直流電圧を安定化している。11は、17、18番ピンに接続される回路で、電解コンデンサ、2個のコンデンサ及び2個の抵抗で構成され、VCOの周波数と回転数の上昇速度を設定する。12は、3、4番ピンに接続される回路

5

で、電解コンデンサ、2個のコンデンサ及び抵抗で構成され、モータ6の停止レベルと回転方向を設定する。13は、可変抵抗で構成した回路で5、6番ピンに接続され、モータ6の目標回転数を設定する。

【0015】14は、7～9番、11～16番ピンに接続される回路で、信号生成部8とのインターフェース用の抵抗がそれぞれの端子に対応して接続されている。14～16番ピンは、それぞれ抵抗を介してモータ6の固定子巻線U、V、Wの各相に接続されるとともに、インバータ7のU、V、W出力に接続され、固定子巻線U、V、Wに生じる誘起電圧を検出する。11～13番ピンは、それぞれの抵抗を介してロウサイド側FETの各ゲートに接続され、「LOW SIDE GATE DRIVE」により11～13番ピンから出力されるON/OFF信号(HIGH/LOW電圧)で、ロウサイド側FETのON/OFFを制御する。

【0016】15、16、17は、ハイサイド側FETのスイッチング素子であるトランジスタで、各エミッタがそれぞれの抵抗を介して7～9番ピンに接続され、

「HIGH SIDE GATE DRIVE」により7～9番ピンから出力されるON/OFF信号(LOW/HIGH電圧)で、トランジスタ15～17のON/OFFが制御される。トランジスタ15～17の各コレクタは、直列に接続された抵抗18と抵抗19、抵抗20と抵抗21、抵抗22と抵抗23を介してハイサイド側FETのソースと同じく+36Vの直流電力の高電位端に接続されている。24、25、26は、抵抗19、21、23と並列に接続されたコンデンサで、その容量は、5.6kΩの抵抗19、21、23に対して0.01μFである。トランジスタ15～17の各ベースは、+12Vの直流電力に接続されてその電位が常時+12Vに保たれている。ハイサイド側FETの各ゲートは、各相に応じた抵抗18と抵抗19、抵抗20と抵抗21、抵抗22と抵抗23の接続点に接続されている。

【0017】このドライブ回路において、信号生成部8の9番ピンがON信号(LOWレベル電圧)を出力するとトランジスタ17がONとなり、インバータ7のFETuhのゲートに、抵抗23による分圧電圧(36-12=24Vを抵抗22と抵抗23で分圧し、抵抗23に相当する分の電圧)が印加され、FETuhがONとなる。9番ピンの出力がOFF(HIGHレベル電圧)になると、トランジスタ17がOFFとなり、抵抗23による分圧電圧が0Vになり、FETuhがOFFになる。他のハイサイド側FETvh、FETwhも同様に、信号生成部8の7、8番ピンの出力信号によりON/OFFが制御される。

【0018】ハイサイド側FETuh、ロウサイド側FETu1がともにOFFの場合の電流の流れは、まずFETu1がFETuhに続いてOFFになると(図5のモード6)、固定子巻線Uが解放状態(電圧が印加され

ていない状態)になり、回転子5の回転によって生じている誘起電圧の変化による電流のみが流れる。この誘起電圧による電流は、主に固定子巻線UからFETuhのフライホイールダイオードの順方向、+36Vの直流電力の高電位端に流れ、一部は、FETuhのドレインゲート間から、逆方向に充電されて電位が低くなっているコンデンサ26へ流れ、このコンデンサ26に蓄積される。このように、FETuhのフライホイールダイオードの動作遅れの間、固定子巻線Uに生じた誘起電圧による電流は、FETuhのドレインゲート間を介してコンデンサ26に蓄積される。なお、FETu1のドレンソース間のOFF抵抗は大きいので、FETu1のドレンソース間には誘起電圧による電流は実質的に流れない。

【0019】次に、このようなFETuh、FETu1がともにOFFの状態からFETuhにON信号が与えられる場合(図5のモード1)は、まずトランジスタ17がONになるが、このときトランジスタ17のコレクタの電位は、+36Vの直流電力の電圧にコンデンサ24の電圧が加えられた電位が印加されているので、この分トランジスタ17のスイッチング速度が速くなり、したがって、FETuhのON速度も加速される。トランジスタ17がONした後は、コンデンサ26が+36Vの直流電圧で誘起電圧に対して逆方向に充電される。このコンデンサ26の充電は、FETuhのソースゲート間を逆バイアスするので、図5のモード3～5の間は、FETuhがOFF信号にもかかわらずノイズで誤動作するのを防止している。

【0020】以上の動作は、他のハイサイド側FETvh、FETwhにおいても同様であり、FETの代わりにバイポーラ型パワートランジスタをインバータに用了いた場合も同様な動作が得られる。

【0021】

【発明の効果】以上のようにこの発明は、モータ駆動用インバータのハイサイド側のパワースイッチング素子のON/OFF信号の入力端と、このパワースイッチング素子の直流電力の高電位端との間に、抵抗とコンデンサとからなる並列回路を設けることにより、このコンデンサの放充電作用を利用し、フライホイールダイオードの追従性の遅さによる影響を取り除き、パワースイッチング素子のON/OFF動作の高速化を図るとともに、OFF時の安定化を同時に実現することができるものである。

【0022】また、直流電力の高電位端の電位より低い電位で信号生成部を動作するように構成し、低出力型のスイッチング素子を利用するものである。

【図面の簡単な説明】

【図1】この発明を直流ブラシレスモータに適用した回路図。

50 【図2】信号生成部のブロック図。

7

【図3】従来のモータ駆動用インバータのドライブ回路図。

【図4】本発明者の開発段階のモータ駆動用インバータのドライブ回路図。

【図5】パワースイッチング素子のON/OFFのサイクルを示すタイムチャート図。

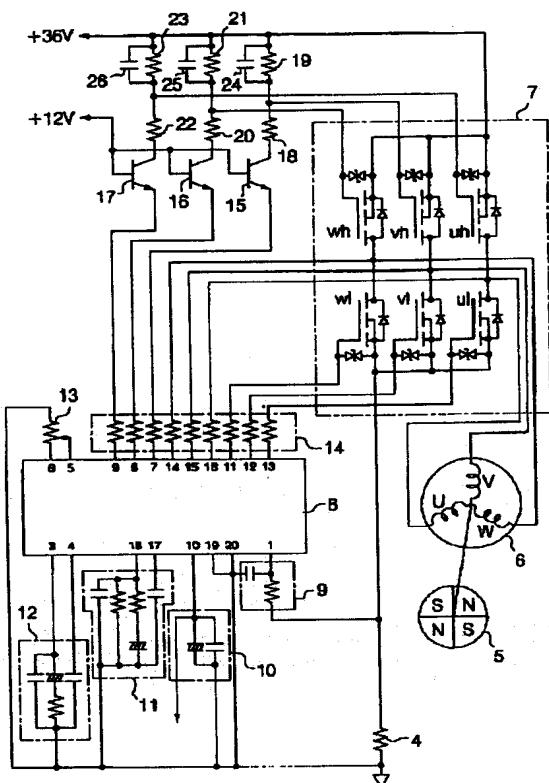
【符号の説明】

5 回転子

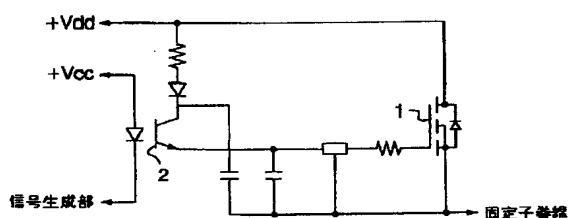
- * 6 モータ
- 8 信号生成部
- 19 抵抗
- 21 抵抗
- 23 抵抗
- 24 コンデンサ
- 25 コンデンサ
- 26 コンデンサ

*

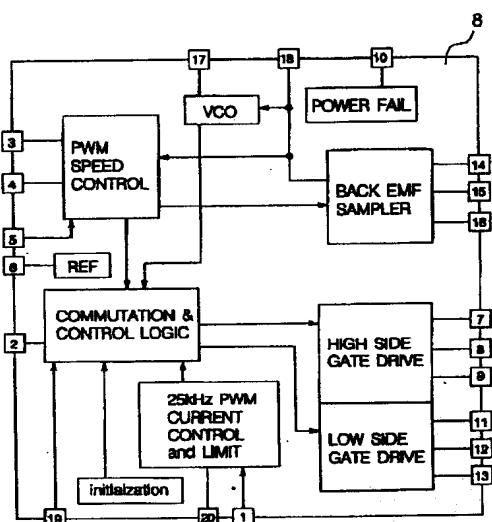
【図1】



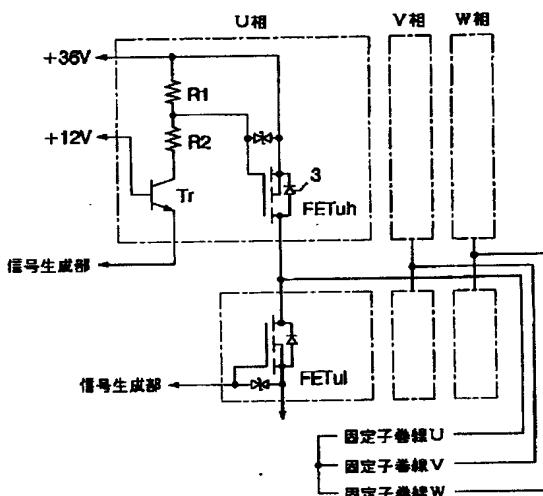
【図3】



【図2】



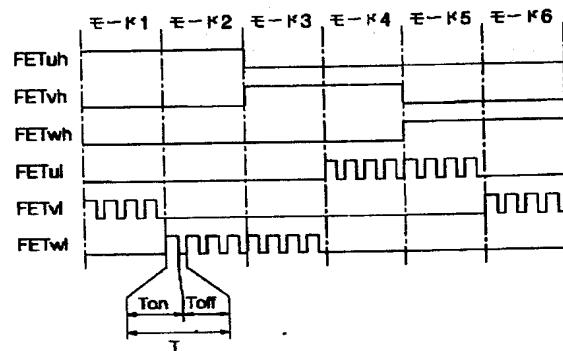
【図4】



(6)

特開平11-41969

【図5】



- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the drive circuit of the inverter for motorised which carries out inverter control of the rotation of a motor.

[0002]

[Description of the Prior Art] What is indicated by JP,6-225583,A is known as a drive circuit of the inverter for motorised. Power amplification of the ON/OFF signal of the low-power output outputted from the according [when the drive circuit of FET1 used as a power switching element of an inverter as shown in this official report at drawing 3 is shown and FET1 impresses the voltage signal of HIGH level to the gate to the potential level of the source, will be in an energization condition, and / using a photo coupler 2 as a switching element of FET1] to microcomputer etc. signal generation section is carried out to the level which can drive FET1. Usually the inverter which drives a motor equipped with 3 sets of stator windings connects such FET in the shape of a three-phase-circuit bridge a three-piece and low side side a high side side, and three pieces are constituted, it supplies direct current power to a stator winding intermittently by the switching operation of FET, and drives a motor. In addition, generally constituting an inverter using the power transistor of a bipolar mold is also performed instead of FET that what is necessary is just to connect FET in the shape of a polyphase bridge also in the polyphase more than a three phase circuit.

[0003]

[Problem(s) to be Solved by the Invention] In such an inverter for motorised, in order to prevent the short circuit by the coincidence ON of FET linked to the serial which constitutes an inphase, the output signal of the signal generation section needs to output the ON/OFF signal which surely disagrees with FET of an inphase. Although this signal must be a signal which ON/OFF reversed mutually, some which generated the signal to FET of an inphase using the same ON/OFF signal have many examples in order to attain simplification of circuitry to coincidence.

[0004] However, when the signal of ON/OFF to FET is generated from the same ON/OFF signal in this way, if ON/OFF of the signal by the side of the high side of an inverter or a low side is not reversed in a drive circuit, the short circuit of FET of an inphase will take place. Generally, in order to design on the basis of ON/OFF of FET by the side of a low side, the drive circuit which served as reversal of ON/OFF needed to be established in the high side side.

[0005] These people developed the drive circuit of the inverter for motorised shown in drawing 4 in the phase of researches and developments aiming at simplification of such circuitry. The MOSFET by the side of the high side to which direct ON/OFF of the current supplied to the stator windings U, V, and W which this becomes from the three phase circuit of U, V, and W is carried out by ON/OFF between the drain-sources, ON/OFF is carried out by the ON/OFF signal (electrical potential difference of LOW/HIGH) from the signal generation section impressed to

an emitter. The transistor Tr which connected the collector to the serial through resistance R1 and R2 at the potential (+36V) and same electric potential of the source by the side of [FET] a high side, and connected the base to the potential of +12V, The drive circuit equipped with the connection which connects the gate by the side of [FET] a high side at the node of resistance R1 and resistance R2, The current similarly supplied to stator windings U, V, and W consists of ON/OFF between the drain-sources, using the circuit for a plane 1 which consists of a MOSFET by the side of the low side which carries out direct ON/OFF by the three phase circuit.

[0006] The ON/OFF signal with which from the mode 1 as shown in drawing 5 to the mode 6 is repeated in order using this drive circuit (FET turns on a high side side on a LOW electrical potential difference, and FET turns on a low side side on a HIGH electrical potential difference.) If it transposes to an electrical potential difference, the voltage signal of the same HIGH/LOW will be outputted to a high side and low side side. Six FET (it corresponds to each phase of U, V, and W, and they are FETul, FETvl, and FETwl about a FETuh, FETvh, FETwh, and low side side in a high side side) which constitutes an inverter was driven. In addition, chopping is carried out the period T which consists of a period of Ton which outputs a HIGH electrical potential difference (ON signal) for the period when ON signal by the side of [FET] a low side is outputted, and a period of Toff which outputs a LOW electrical potential difference (OFF signal), and it constitutes so that the duty ratio of this Ton/Toff may be changed and the rotational speed of a motor may be changed. Moreover, in order to make Rds (ON) resistance of FET small, the value of resistance R1 and R2 was selected so that Vgs might approach the maximum rating electrical potential difference of Vgss of FET.

[0007] In this trial, in order to change the rotational speed of a motor, when the duty ratio was changed, the flattery nature of the fly wheel diode 3 formed between the drain-sources by the side of [FET] a high side was late, and the allophone from abnormality heating and the motor of Transistor Tr occurred. Moreover, in spite of having given the OFF signal to the high side side FET, problems, like the abnormality phenomenon in which these will be in ON condition happens arose.

[0008] This invention aims at attaining improvement in the speed of ON/OFF actuation of a power switching element, and stabilization of the actuation at the time of OFF, without being influenced by the switching characteristic of a fly wheel diode 3 for the purpose of solving these problems.

[0009]

[Means for Solving the Problem] In order that this invention may solve this technical problem, it connects two or more power switching elements in the shape of a bridge, constitutes an inverter, and is ON/OFF actuation of these power switching elements. In the drive circuit of the inverter for motorised which supplies direct current power to the stator winding of a motor intermittently The signal generation section which generates the signal which operates two or more above-mentioned power switching elements based on the rotation location of the rotator of a motor, The switching element which supplies the output which operates these directly to the power switching element which answered the signal generated in this signal generation section, and operated, and connected with the high potential edge of direct current power among two or more above-mentioned power switching elements, It is characterized by having the parallel circuit which consists of resistance which connects the output of this switching element to the high potential edge of direct current power, and a capacitor.

[0010] Moreover, the above-mentioned signal generation section is constituted so that it may operate with potential lower than the potential of the high potential edge of direct current power,

and use of the switching element of a low-power output mold is aimed at. A drawing is used for below and the configuration of this invention is explained to it at a detail.

[0011]

[Embodiment of the Invention] Drawing 1 is the electrical diagram showing the gestalt of concrete implementation of this invention, and is applied to the direct-current brushless motor 6 which consists of a rotator 5 of four poles, and stator windings U, V, and W of a three phase circuit. Therefore, the pole of a rotator is selectable to arbitration at the multiple of 2, the number of the gear teeth which coil stator windings U, V, and W is also selectable to arbitration at the multiple of 3, and it is also possible to polyphase-ize a three phase circuit further.

[0012] 7 is the inverter which connected six power switching elements (MOSFET) in the shape of a three-phase-circuit bridge, FETwh of P channels, and vh and uh are arranged to a high side side, FETwl of N channel, and vl and ul are arranged to a low side side, and the fly wheel diode is formed between the drain-sources at each FET. The source by the side of [FET] a high side is connected to the high potential edge of the direct current power of +36V, and the source by the side of [FET] a low side is connected to touch-down potential through resistance 4. Toshiba MP6403 can be used as a semi-conductor for inverters with the equal circuit of such a configuration. In addition, the Toshiba semi-conductor MP6401 grade for inverters with the equal circuit which cannot restrict a power switching element to FET, and could also use the power transistor of a bipolar mold, for example, connected six power transistors (P channel three pieces, three N channels) in the shape of a three-phase-circuit bridge may be used.

[0013] 8 is the signal generation section which generates an ON/OFF signal in the cycle in the mode 1 to the mode 6 shown in drawing 5, it asks for the location of a rotator 5 from change of the induced voltage produced in stator windings U, V, and W in rotation of a rotator 5, outputs the ON/OFF signal to which the energization to each stator winding U, V, and W is made to carry out intermittently based on this rotator location, changes the duty ratio of the chopping period T into coincidence, and controls a rotational frequency. As this signal generation section 8, it is Micro, for example. The semi-conductor ML4433 (or ML4425) made from Linear (BLDC PWM Motor Controller) etc. can be used. The internal configuration of this signal generation section 8 is constituted as shown in the block diagram of drawing 2. The "BACKEMF SAMPLER" section which detects change of the induced voltage produced in the stator windings U, V, and W given to a No. 14-16 pin, and outputs the signal corresponding to the change, The "PWM SPEED CONTROL" section which carries out chopping by PWM (pulse width modulation), and determines the energization pattern to stator windings U, V, and W based on this signal and the speed (engine speed) signal given to a No. 5 pin, ON/OFF of six power switching elements which constitute an inverter based on this energization pattern is decided. It has "COMMUTATION & CONTROL LOGIC" etc. which outputs the signal to "HIGH SIDE GATE DRIVE" and "LOW SIDE GATE DRIVE." An ON/OFF signal (potential of HIGH/LOW or potential of LOW/HIGH) is outputted through a 7 - No. 9 pin and a 11 - No. 13 pin from "HIGH SIDE GATE DRIVE" and "LOW SIDE GATEDRIVE."

[0014] 9 is the detector of the electrical potential difference impressed to the No. 1 pin of the signal generation section 8, it consists of resistance and a capacitor and the electrical potential difference (electrical potential difference equivalent to the current which flows to resistance 4, i.e., the current which flows on a motor 6) produced in resistance 4 is impressed. The signal generation section 8 adds a limit to the ratio (duty ratio) of ON/OFF of a switching element so that this electrical potential difference may not exceed the set point, and it performs current control of the current which flows on a motor 6. 10 is a circuit which operates the signal

generation section 8, consists of an electrolytic capacitor and a capacitor and is stabilizing the direct current voltage of +12V. 11 is the circuit connected to a No. 17 or 18 pin, consists of an electrolytic capacitor, two capacitors, and two resistance, and sets up the climbing speed of the frequency and rotational frequency of VCO. 12 is the circuit connected to a No. 3 or 4 pin, consists of an electrolytic capacitor, two capacitors, and resistance, and sets up the halt level and the hand of cut of a motor 6. It connects with a No. 5 or 6 pin in the circuit constituted from variable resistance, and 13 sets up the target rotational frequency of a motor 6. [0015] 14 is the circuit connected to No. 7-9 and a No. 11-16 pin, and the resistance for an interface with the signal generation section 8 is connected corresponding to each terminal. It connects with U of an inverter 7, V, and W output, and a No. 14-16 pin detects the induced voltage produced in stator windings U, V, and W while connecting with each phase of the stator windings U, V, and W of a motor 6 through resistance, respectively. It connects with each gate by the side of [FET] a low side through each resistance, and a No. 11-13 pin is the ON/OFF signal (HIGH/LOW electrical potential difference) outputted by "LOW SIDE GATE DRIVE" from a 11 - No. 13 pin, and controls ON/OFF by the side of [FET] a low side.

[0016] 15, 16, and 17 are the transistors which are the switching elements by the side of [FET] a high side, each emitter is connected to a No. 7-9 pin through each resistance, it is the ON/OFF signal (LOW/HIGH electrical potential difference) outputted by "HIGH SIDE GATE DRIVE" from a 7 - No. 9 pin, and ON/OFF of transistors 15-17 is controlled. Each collector of transistors 15-17 is connected to the high potential edge of the direct current power of +36V through the resistance 18, resistance 19 and resistance 20, the resistance 21 and resistance 22, and resistance 23 which were connected to the serial as well as the source by the side of [FET] a high side. 24, 25, and 26 are the capacitors connected to resistance 19, 21, and 23 and juxtaposition, and the capacity is 0.01 micro F to the resistance 19, 21, and 23 of 5.6kohm. Each base of transistors 15-17 is connected to the direct current power of +12V, and the potential is kept at regular +12V. Each gate by the side of [FET] a high side is connected at the node of the resistance 18 according to each phase, resistance 19 and resistance 20, resistance 21 and resistance 22, and resistance 23.

[0017] in this drive circuit, if the No. 9 pin of the signal generation section 8 outputs ON signal (LOW level electrical potential difference), a transistor 17 will serve as ON, and the partial pressure electrical potential difference (electrical potential difference of the part which pressures 36-12=24V partially by resistance 22 and resistance 23, and is equivalent to resistance 23) by resistance 23 is impressed by the gate of FETuh of an inverter 7 -- having -- FETuh -- ON -- ** - it becomes. If the output of a No. 9 pin is turned off (HIGH level electrical potential difference), a transistor 17 will serve as OFF, the partial pressure electrical potential difference by resistance 23 will be set to 0V, and FETuh will be turned off. ON/OFF is similarly controlled for the high side sides FETvh and FETwh else by the output signal of the No. 7 or 8 pin of the signal generation section 8.

[0018] Only the current by change of the induced voltage which has produced the flow of a current in case both the high side side FETuh and low side sides FETul are OFF by rotation of a rotator 5 by a stator winding U being in a release condition (condition that the electrical potential difference is not impressed) if FETul is first turned off following FETuh (mode 6 of drawing 5) flows. The current by this induced voltage mainly flows from a stator winding U at the high potential edge of the forward direction of the fly wheel diode of FETuh, and the direct current power of +36V, and from between the drain-gate of FETuh, a part flows to the capacitor 26 by which it charges to hard flow and potential is low, and is accumulated in this capacitor 26. Thus,

the current by the induced voltage produced in the stator winding U is accumulated in a capacitor 26 through between the drain-gate of FETuh between the delay of the fly wheel diode of FETuh of operation. In addition, since the OFF resistance between the drain-sources of FETul is strong, between the drain-sources of FETul, the current by induced voltage does not flow substantially. [0019] Next, although a transistor 17 is first turned on when ON signal is given to FETuh for both such FETuh and FETul from the condition of OFF (mode 1 of drawing 5) At this time, since the potential with which the electrical potential difference of a capacitor 24 was applied to the electrical potential difference of the direct current power of +36v is impressed, the switching rate of a transistor 17 becomes quick at this rate, therefore, as for the potential of the collector of a transistor 17, ON rate of FETuh is also accelerated. After a transistor 17 turns on, a capacitor 26 is charged to hard flow to induced voltage with the direct current voltage which is +36V. Since charge of this capacitor 26 carries out the reverse bias of between the source-gate of FETuh, it has prevented that FETuh malfunctions in a noise in spite of an OFF signal between the modes 3-5 of drawing 5.

[0020] Actuation the same [the above actuation is the same as that of the high side sides FETvh and FETwh else, and] as when a bipolar mold power transistor is used for an inverter instead of FET is obtained.

[0021]

[Effect of the Invention] As mentioned above, it can realize stabilization at the time of OFF to coincidence while this invention uses a discharge-and-charge operation of this capacitor by preparing the parallel circuit which consists of resistance and a capacitor between the input edge of the ON/OFF signal of the power switching element by the side of the high side of the inverter for motorised, and the high potential edge of the direct current power of this power switching element, removes the effect by the lateness of the flattery nature of a fly wheel diode and attains improvement in the speed of ON/OFF actuation of a power switching element.

[0022] Moreover, it constitutes so that the signal generation section may be operated with potential lower than the potential of the high potential edge of direct current power, and the switching element of a low-power output mold is made available.

CLAIMS

[Claim(s)]

[Claim 1] Two or more power switching elements are connected in the shape of a bridge, and an inverter is constituted. In ON/OFF actuation of these power switching elements In the drive circuit of the inverter for motorised which supplies direct current power to the stator winding of a motor intermittently The signal generation section which generates the signal which operates two or more above-mentioned power switching elements based on the rotation location of the rotator of a motor, The switching element which supplies the output which operates these directly to the power switching element which answered the signal generated in this signal generation section, and operated, and connected with the high potential edge of direct current power among two or more above-mentioned power switching elements, The drive circuit of the inverter for motorised characterized by having the parallel circuit which consists of resistance which connects the output of this switching element to the high potential edge of direct current power, and a capacitor.

[Claim 2] The above-mentioned signal generation section is the drive circuit of the inverter for motorised according to claim 1 which operates with potential lower than the potential of the high potential edge of direct current power.